

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031  
U.S. Patent and Trademark Office, U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

## TRANSMITTAL FORM

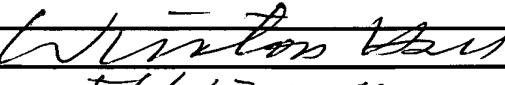
(to be used for all correspondence after initial filing)

<b>TRANSMITTAL FORM</b> <i>(to be used for all correspondence after initial filing)</i>	Application Number	10/709,200	
	Filing Date	04/21/2004	
	First Named Inventor	Cheng-Yuan Wu	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	VIAP0098USA

### ENCLOSURES (Check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please Identify below):
Remarks		

### SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	5/6/2004

### CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

 Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ 0.00)

## Complete if Known

Application Number	10/709,200
Filing Date	04/21/2004
First Named Inventor	Cheng-Yuan Wu
Examiner Name	
Art Unit	
Attorney Docket No.	VIAP0098USA

## METHOD OF PAYMENT (check all that apply)

 Check  Credit card  Money Order  Other  None
 Deposit Account:

Deposit Account Number  
50-0801

Deposit Account Name  
North America International Patent Office

The Director is authorized to: (check all that apply)

- Charge fee(s) indicated below  Credit any overpayments
- Charge any additional fee(s) or any underpayment of fee(s)
- Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

## 1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)		(\$ 0.00)	

## 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Independent Claims	Multiple Dependent	Extra Claims	Fee from below	Fee Paid
			-20** =	x	=
			- 3** =	x	=

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent
SUBTOTAL (2)		(\$ 0.00)

\*\*or number previously paid, if greater; For Reissues, see above

## 3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	
Other fee (specify)			
*Reduced by Basic Filing Fee Paid		SUBTOTAL (3)	(\$ 0.00)

(Complete if applicable)

## SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350	
Signature					Date	5/6/2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032

**U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE**

**Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.**

# **DECLARATION — Supplemental Priority Data Sheet**

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 25 日  
Application Date

申請案號：092109803  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 5 月 29 日  
Issue Date

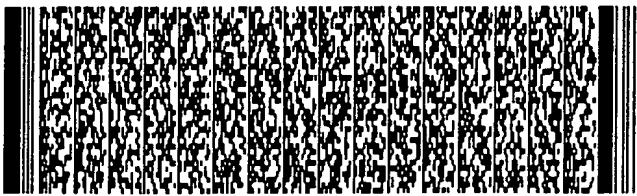
發文字號：09220533670  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一 、 發明名稱	中文	加速暫存記憶體資料更新以增加網路資料傳輸效率之方法及相關電路
	英文	Method And Related Circuit For Increasing Network Transmission Efficiency By Speeding Data Updating Rate Of Memory
二 、 發明人 (共2人)	姓名 (中文)	1. 吳政原
	姓名 (英文)	1. WU, Cheng-Yuan
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三 、 申請人 (共1人)	名稱或 姓名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓名 (英文)	1. VIA TECHNOLOGIES, INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
代表人 (中文)	1. 王雪紅	
	代表人 (英文)	1. Wang, Hsueh-Hung

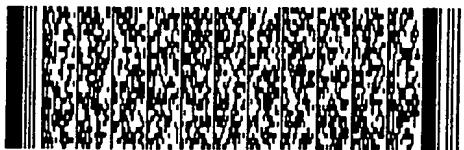


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一 、 發明名稱	中 文	
	英 文	
二 、 發明人 (共2人)	姓 名 (中文)	2. 蕭正欣
	姓 名 (英文)	2. Shiao, Cheng-Shian
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三 、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：加速暫存記憶體資料更新以增加網路資料傳輸效率之方法及相關電路)

本發明提供一種用於一網路介面電路（像是一網路界面卡）以增加網路資料傳輸效率的方法及相關電路。該網路介面電路中設有一暫存記憶體及一媒體控制模組，該媒體控制模組用來將暫存於該暫存記憶體的資料傳輸至一網路。而該方法包含有：在該暫存記憶體已將一封包資料傳輸（例如完全傳輸）至該媒體控制模組後，即發出一中斷要求訊號，以將另一封包資料讀入至該暫存記憶體。

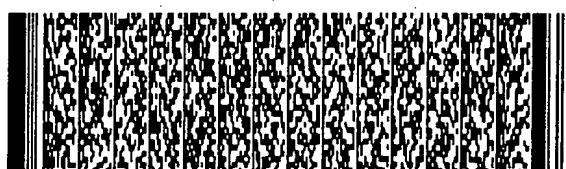
五、(一)、本案代表圖為：第 9 圖

(二)、本案代表圖之元件代表符號簡單說明：

200 流程 202-208 步驟

六、英文發明摘要 (發明名稱：Method And Related Circuit For Increasing Network Transmission Efficiency By Speeding Data Updating Rate Of Memory)

A method and related circuit for increasing data transmission efficiency of a network interface circuit (like a network interface card, NIC). The network interface circuit has a memory and a medium control module for transmitting data stored in the memory to a network. The method includes: when a packet data is transmitted (such as completely transmitted) from the memory to the



四、中文發明摘要 (發明名稱：加速暫存記憶體資料更新以增加網路資料傳輸效率之方法及相關電路)

六、英文發明摘要 (發明名稱：Method And Related Circuit For Increasing Network Transmission Efficiency By Speeding Data Updating Rate Of Memory)

medium control module, making the memory send an interrupt request such that a new packet data can be read into the memory.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

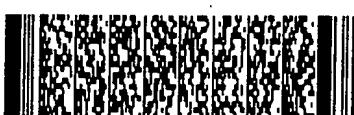
寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 發明所屬之技術領域

本發明提供一種增加一網路介面電路網路資料傳輸中效率的方法及相關電路，尤指一種增加網路介面電路資料暫存記憶體資料更新速度以增加網路資料傳輸效率的方法及相關電路。

### 先前技術

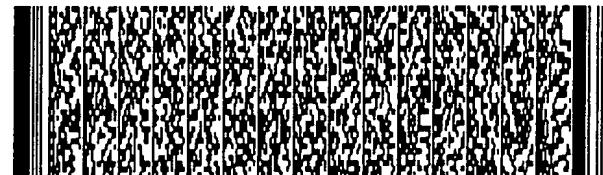
網路能連接不同地點的伺服器、終端機及電腦，讓傳制訊網，中限資於的資料、數據、影音訊號能以電子訊號的形式在網路之間傳輸，使得知識、技術與資訊得以突破地域的限制，當致效率的而社會資料傳輸、交換、傳播。因此，網路建設之重要性為社會發展之基礎建設之一，而各業者為此也努力提升，更是增加網路服務效能最重要的課題之一。

一般來說，網路使用者都是使用裝備有一網路界面卡的電腦來存取網路服務的資源。請參考圖一。圖一為一電腦 10 配合一習知網路介面電路 20 的功能方塊圖。除了網路介面電路 20 外，電腦 10 中還設有一中央處理器 14、一北橋電路 16A、一南橋電路 16B、一顯示卡 18B、一顯示器 18A、一系統記憶體 22 與周邊裝置 24。中央處理器 14 用來主控電腦 10 的運作，系統記憶體 22 通常為一隨機

## 五、發明說明 (2)

存取記憶體，用來暫存中央處理器 14 運作期間必要的數據、資料及程式碼等等，顯示卡 18B 能處理影像資料，以將電腦 10 運作的情形以圖形影像的方式顯示於顯示器 18A 上；而北橋電路 16A 即用來管理中央處理器 14 與顯示卡 18B、系統記憶體 22 之間的資料交換。網路介面電路 20 可以是一網路介面卡 (network interface card, NIC)，用來使電腦 10 得以存取一網路 12 的資料；週邊裝置 24 則可以包括鍵盤、滑鼠等的輸入裝置，硬碟機、光碟機等的非揮發性儲存裝置以及音效卡等的訊號處理電路；而南橋電路 16B 即透過一匯流排來管理週邊裝置 24、網路介面電路 20 與中央處理器 14 間的資料交換。

在網路介面電路 20 中，設有一記憶存取電路 26、一暫存記憶體 28、一媒體控制模組 30；媒體控制模組 30 中則設有一緩衝記憶體 (buffer) 32、一媒體存取電路 34 以及一傳輸電路 36。記憶存取電路 26 可以是一直接記憶存取 (direct memory access, DMA) 的實施機構，以直接存取暫存於系統記憶體 22 中的資料；記憶存取電路 26 由系統記憶體 22 存取到的資料則可暫存至暫存記憶體 28 中。暫存記憶體 28 中的複數個記憶單元 38，即可分別提供一定的記憶容量；各記憶單元 38 的記憶容量可以是 4 位元組 (byte)。暫存記憶體 28 可以是一先進先出 (first-in first-out) 記憶體，也就是說，先被存入暫存記憶體 28 的資料，也會先被讀出暫存記憶體 28。同樣地，在媒體

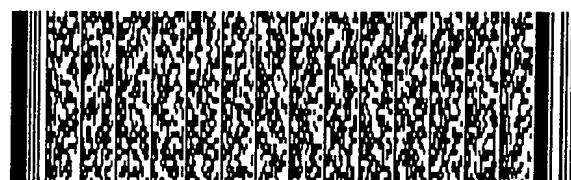


## 五、發明說明（3）

控制模組 30 中的緩衝記憶體 32，也設有複數個單元 38 一樣，分別提供一定的記憶容量，像是與記憶單元 38 連接的緩衝記憶體 32，分別提供一定的記憶容量。媒體存取電路 34 可將暫存於緩衝記憶體 32 中的記憶容量，透過傳輸電路 36 的訊號處理及調變，實際傳輸資料至網路 12（譬如說是一集線器或另一電腦）。

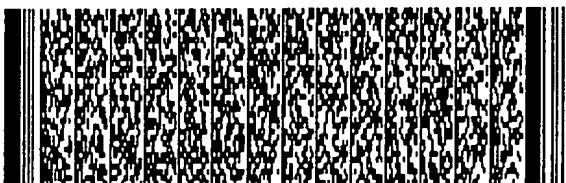
請參考圖二（並一併參考圖一）。當習知之網路介面電路 20 要將一封包傳輸至網路 12 時，就會進行圖二中所說的流程 100。流程 100 中設有下列步驟：

步驟 102：開始。當中央處理器 14 要將資料以封包形式傳輸至網路 12 時，就可控制網路介面電路 20 開始進行流程 100。



## 五、發明說明 (4)

步驟 104：記憶存取電路 26 取得對應到該封包的所有資料（在本文中用封包資料代表對應到某一封包之所有資料，用以在討論本發明之如何處理暫存記憶體等之特徵時，與要在網路進行傳輸之封包發生混淆），將其暫存至記憶體 28 中。記憶存取電路 26 可經由南橋電路 16B 管理匯流排，由系統記憶體 22 中取得中央處理器 14 要傳輸至網路 12 的封包資料。



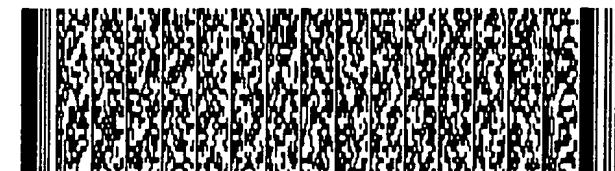
## 五、發明說明 (5)

會不一致，故媒體控制模組 30 中就設置了緩衝記憶體 32。當記憶存取電路 26 由系統記憶體 22 取得資料的速度大於媒體存取電路 34 將資料傳輸至網路 12 的速度時，媒體控制模組 30 由暫存記憶體 28 讀入的一些資料（如某封包資料的一部份）就可以先暫存至緩衝記憶體 32，等待媒體存取 34 以較慢的速度將其傳輸至網路 12。若是暫存記憶體 28 本身記憶空間的資料已經有相當的部分暫存了尚未取傳輸的資料時，暫存記憶體 28 就會發出訊號使記憶存取電路 26 暫時不要再將暫存記憶體 28 中的未傳輸的資料先傳輸至網路 12。而後暫存記憶體 28 才能釋放出記憶空間，使記憶存取電路 26 能繼續存取系統記憶體 22 中後續要傳輸至網路 12 的資料，並將之暫存於暫存記憶體 28。

步驟 108：等到媒體存取電路 34 將一個封包的所有資料皆完整傳輸至網路 12 後，媒體存取電路 34 就能向暫存記憶體 28 發出一傳輸完成 (transmission done) 訊號。

步驟 110：在習知技術中，暫存記憶體 28 會在接收到媒體存取電路 34 的傳輸完成訊號後，向記憶存取電路 26 發出一中斷要求 (interrupt request) 訊號。

步驟 112：記憶存取電路 26 會依據中斷要求訊號適當地向中央處理器 14 發出一中斷訊號，要求中央處理器 14 繼續傳輸對應到另一新封包的另一個封胞資料。接下來流程 100 就會返回至步驟 104，由記憶存取電路 26 根據中央處理器 14 的指示，繼續由系統記憶體 22 中取得新的封包資

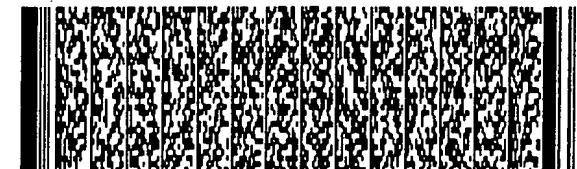


## 五、發明說明 (6)

料，以重新進行步驟 104至 106，將新封包傳輸至網路 12。

為進一步說明流程 100進行的情形，請繼續參考圖三至圖六。圖三至圖六為圖一中之電腦 10在進行流程 100時，相關資料配置的示意圖。如圖三所示，假設網路介面電路 20準備要將一封包傳輸至網路 12，記憶存取電路 26就會由系統記憶體 22中將對應之封包資料讀出，並暫存至暫存記憶體 28中（也就是步驟 102至步驟 104）；而此處就假設該封包資料依序由五個部份的資料 Dp1至 Dp5組成，各筆資料分別佔用一個記憶單元 38的記憶空間。依照先進先出的原則，該封包資料的第一部份資料 Dp1會先存入至暫存記憶體 28中，接下來資料 Dp2至 Dp5也就依序被存入暫存記憶體 28中。如圖四所示，先被暫存至緩衝記憶體 32的資料 Dp1也會先被輸出至緩衝記憶體 32；接下來資料 Dp2至 Dp4也就依序被輸出至緩衝記憶體 32，此時流程 100也就進行至步驟 106。

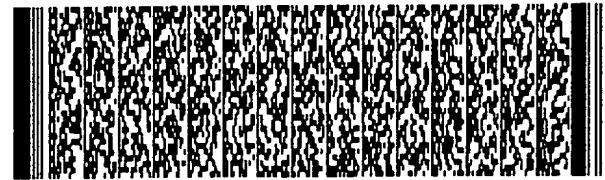
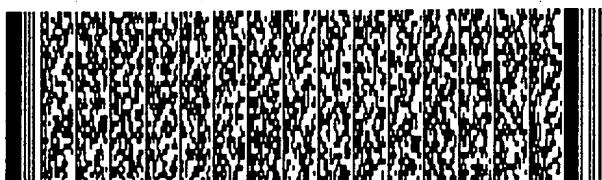
如圖五所示，媒體存取電路 34會依照資料 Dp1至 Dp4的順序，依序將各資料連續地傳輸至網路 12上，同時資料 Dp5也會繼續由暫存記憶體 28讀出至緩衝記憶體 32，再由媒體存取電路 34將其傳輸至網路 12上，讓資料 Dp1至 Dp5形成完整的封包。如圖六所示，當媒體存取電路 34將對應到此封包之資料 Dp1至 Dp5完全傳輸至網路 12後，流



## 五、發明說明 (7)

程 100也就完成了步驟 106而進行至步驟 108，由媒體存取電路 34向暫存記憶體 28發出一傳輸完成訊號 42。接下來在步驟 110中，暫存記憶體 28會根據傳輸完成訊號 42向記憶存取電路 26發出一中斷要求訊號 44。到了步驟 112，記憶存取電路 26就會根據中斷要求訊號 44，在適當時機發出一中斷訊號 46，要求中央處理器 14指示如何取得另一新封包的封包資料，以便將一新的封包的資料再度經由記憶存取電路 26、暫存記憶體 28、緩衝記憶體 32、媒體存取電路 34及傳輸電路 36傳輸至網路 12。就像圖七所示，假設此一新的封包資料中依序有部份資料 Dp6、Dp7、Dp8、Dp9、Dp10等的資料，就會被依序存入暫存記憶體 28中。而原來暫存於暫存記憶體 28中的資料 Dp1至 Dp5就能被釋放 (release)，以暫存新的封包的資料。舉例來說，像是在圖七中，原來用來暫存資料 Dp1、Dp2的記憶單元就在環式 (ring) 記憶單元運用的情形下，分別被覆寫而存入了新封包的部份資料 Dp9、Dp10；此時流程 100也就回到步驟 104，以開始傳輸新的封包。

上述習知技術的缺點之一，就是網路資料傳輸的效率較低。由前述對習知技術之描述可知，習知之網路介面電路 20要等到一封包中的所有資料皆由媒體存取電路 34傳輸至網路 12後，才會經由媒體存取電路 26繼續取得次一封包的封包資料。換句話說，在媒體存取電路 34結束一封包



## 五、發明說明 (8)

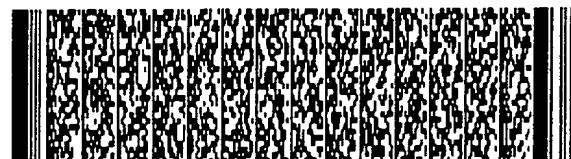
的傳輸後，還要等待一段時間，讓記憶存取電路 26 由系統記憶體 22 取得對應到次一封包的資料，再經由暫存記憶體 28、緩衝記憶體 32 陸續傳輸至媒體控制電路 30，媒體存取電路 34 才能開始傳輸另一封包。由於一封包傳輸完畢到次一封包開始傳輸時還有一段時間，故習知網路介面電路 20 在網路資料傳輸，也較低，無法連續、順暢地進行網路資料傳輸，也連使用者存取網路資源的效率。

## 發明內容

因此，本發明之主要目的，在於提供一種加速網路資料傳輸效率的方法及相關電路，以克服習知技術的缺點，增進使用者存取網路資源的效率。

在習知技術中，由於記憶存取電路是在完成觸發發送訊號時，將次一封包的資料傳輸至暫存記憶體中，故相當的差距，這使得習知技術之網路介面電路無法有效提升網路資料傳輸的效率。

在本發明的網路介面電路中，基本上，暫存記憶體只要將一封包資料皆傳輸至(或傳輸經過)媒體控制模組

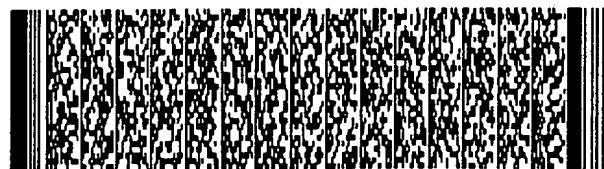


## 五、發明說明 (9)

的緩衝記憶體後（或說是一封包資料已完全被此媒體控制模組所處理過後），即可以發出中斷要求訊號觸發記憶存取電路，讓記憶存取電路能開始將次一封包資料存入暫存在記憶體中。換句話說，即使媒體尚未資料傳輸到網路，記憶傳輸般花了一段時間，只專門讓媒體控制模組進行將將資料存入暫存記憶體中的動作），使得本發明能順利、連續地進行網路資料傳輸，進而增加網路資料傳輸的效率，讓使用者能更便捷地存取網路資源。

## 實施方式

請參考圖八。圖八為本發明中一網路介面電路 60 配備於一電腦 50 之功能方塊示意圖。除了網路介面電路 60，電腦 50 中設有一中央處理器 54、一北橋電路 56A、一南橋電路 56B、一顯示器 58A、一顯示卡 58B、一系統記憶體 62 及週邊裝置 64。中央處理器 54 用來主控電腦 50 的運作，顯示卡 58B 用來處理影像資料，以將電腦 50 運作的情形以影像畫面的方式顯示於顯示器 58A 上。系統記憶體 62



## 五、發明說明 (10)

可以是揮發性的隨機存取記憶體，用來暫存中央處理器 54 運作期間所需的資料、數據及程式碼；北橋電路 56A 則用來管理顯示卡 58B、系統記憶體 62 與中央處理器 54 間的資料交換。網路介面電路 60 用來使電腦 50 能存取一網路 52 的資源，週邊裝置 64 則可包括鍵盤、滑鼠等的輸入裝置，硬碟機、光碟機等的非揮發性儲存裝置或是音效卡等的訊號處理電路；而南橋電路 56B 則透過一匯流排管理週邊裝置 64、網路介面電路 60 與中央處理器 54 之間的資料交換。

在網路介面電路 60 中，則設有一記憶存取電路 66、一暫存記憶體 68、一檢查電路 88 及一媒體控制模組 70。媒體控制模組 70 中則設有一緩衝記憶體 72、一媒體存取電路 74 及一傳輸電路 76。記憶存取電路 66 可以是一直接記憶存取 (direct memory access, DMA) 裝置，能由系統記憶體 62 中取得電腦 50 要傳輸至網路 52 的資料，並將其暫存至暫存記憶體 68 中。暫存記憶體 68 可以是一先進先出 (FIFO) 的揮發性記憶體，其中的複數個固定記憶容量（像是 4 位元組）之記憶單元 78，就是用來暫存記憶存取電路 66 取得的資料。同樣地，暫存記憶體 72 中也設有複數個記憶單元 80，用來記憶一定容量的資料。而媒體控制模組 70 則能將暫存記憶體 68 中的資料以先進先出的原則讀至緩衝記憶體 72 中，再藉著媒體存取電路 74 的控制，將緩衝記憶體 72 中的資料依序經由傳輸電路 76 的處

## 五、發明說明 (11)

理、調變後，傳輸至網路 52。在本發明中，檢查電路 88 (通常是暫存記憶體 68之一部份)，則能檢查屬於同一封包的所有資料是否都已經由暫存記憶體 68傳輸至緩衝記憶體 72；當一封包的所有資料都已經由暫存記憶體 68傳輸至緩衝記憶體 72後，檢查電路 88即可觸發暫存記憶體 68向記憶存取電路 66發出一中斷要求訊號。記憶存取電路 66則可根據暫存記憶體 68的中斷要求訊號，在適當的時機透過南橋電路 56B管理的匯流排向中央處理器 54發出一中斷訊號，要求中央處理器 54讓記憶存取電路 66取得下一個要傳輸至網路 52的封包。

請參考圖九（並一併參考圖八）。圖九中之流程 200 即為圖八中網路介面電路 60與網路 52之間資料傳輸進行的過程。流程 200中有下列步驟：

步驟 202：開始。當電腦 50要將資料以封包的形式傳輸至網路 52時，即可開始進行流程 200。

步驟 204：記憶存取電路 66由系統記憶體 62取得對應到一封包的一封包資料，並將其暫存至暫存記憶體 68中。

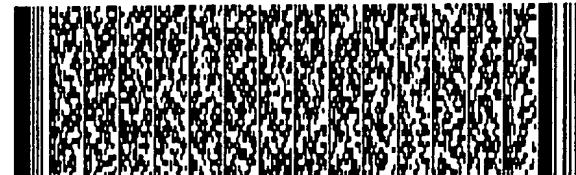
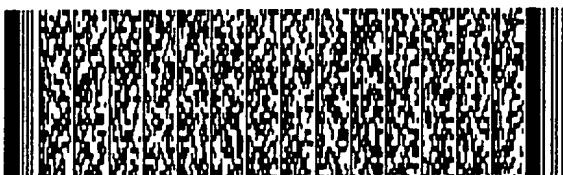
步驟 206：依照先進先出的原則，先由記憶存取電路 66存入暫存記憶體 68的部份封包資料，也會先被傳輸至緩衝記憶體 72。同時媒體存取電路 74也會開始將緩衝記憶體 72的封包資料依序傳輸至網路 52。一旦暫存記憶體 68的檢查電路 88發現一封包資料皆已經由暫存記憶體 68傳輸至媒體控制模組 70後，暫存記憶體 68就會向記憶存取電

## 五、發明說明 (12)

路 66 發出一中斷要求訊號。請注意，在習知技術中，資料完全傳輸至網路後，憶體發出中斷要求訊號。但由暫存記憶體 68 確定一封包資料皆已經被媒體存取電路 74 完全傳輸到網路 52 上，暫存記憶體 68 皆會向記憶存取電路 66 發出中斷要求訊號。

步驟 208：根據暫存記憶體 68 傳來的中斷要求訊號，記憶存取電路即可在適當的時機透過南橋電路 56B 管理的匯流排，向中央處理器 54 發出一中斷訊號，要求中央處理器 54 能讓記憶存取電路 66 取得另一要傳輸至網路 52 之封包的封胞資料。在記憶存取電路 66 取得次一封包的封胞資料後，流程 200 也就回到步驟 204 中，由記憶存取電路 66 將次一封包資料存入暫存記憶體 68 中，準備要將其傳輸至網路 52 上。

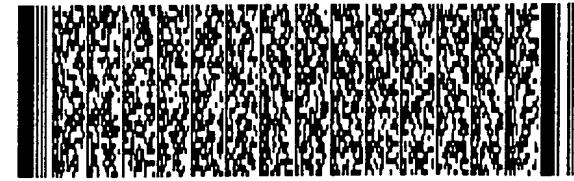
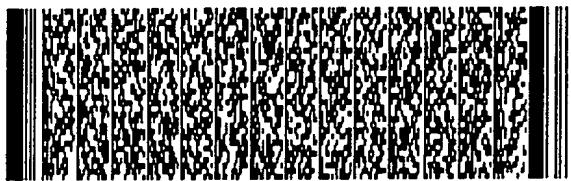
為進一步說明本發明上述流程 200 進行的情形，請繼續參考圖十至圖十三（並一併參考圖九）。圖十至圖十三為圖八中網路介面電路 60 在以流程 200 進行網路資料傳輸時，於不同步驟中資料流動情形之示意圖。假設現在有一封包資料，依序由複數部份的資料 D1 至 D5 組成；而



### 五、發明說明 (13)

在流程 200 的步驟 204 中，記憶存取電路 66 就會依序將資料 D1 至 D5 暫存至暫存記憶體 68 中，如圖十所示。暫存記憶體 68 中的資料 D1 等也會依照先進先出的原則，以 D1 至 D4 的順序，依序由媒體控制模組 70 將其讀入至緩衝記憶體 72 中，如圖十一所示。此時媒體存取電路 74 也會開始將緩衝記憶體 72 中的資料經由傳輸電路 76 傳輸至網路 52 上。

如圖十二所示，等到暫存記憶體 68 將屬於同一封包的資料 D1 至 D5 完全傳輸至（或傳輸經過）媒體控制模組 70 後（即 D1 至 D5 已完全被媒體控制模組 70 所處理過後），本發明之流程 200 就進行至步驟 206。當資料 D1 至 D5 完全由暫存記憶體 68 傳輸到緩衝記憶體 72 之後，暫存記憶體 68 就會發出一中斷要求訊號 84 至記憶存取電路 66。而記憶存取電路 66 收到中斷要求訊號 84 後，就能在適當的時機經由南橋電路 56B 管理的匯流排發出中斷訊號 86（即步驟 208），要求中央處理器 54 指示記憶存取電路 66 取得次一封包。請注意，就如圖十二中所示，當本發明網路介面電路 60 回傳中斷訊號 86 時，前一封包的封包資料很可能還有部份仍未傳輸至網路 52 上，而仍暫存於媒體控制模組 70 的緩衝記憶體 72 中。不過，既然暫存記憶體 68 中原本暫存的資料 D1 至 D5 已經完全傳輸至緩衝記憶體 72 中，不管資料 D1 至 D5 是否全部都被傳輸到網路 52 上，暫存記憶體 68 中原本用來暫存資料 D1 至 D5 的各個記憶單元 78 所



## 五、發明說明 (14)

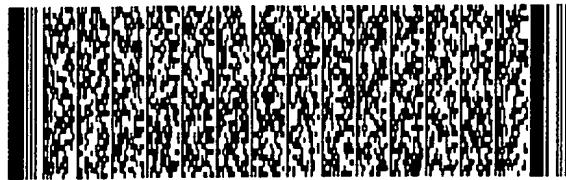
儲存之暫存資料 D1至 D5已經不重要，也都可以釋放出來是利用供次一封包之封胞資料的暫存使用。而本發明就控制模組暫存記憶體 68已將一封包資料完全傳輸至媒體記憶體中，可以被記憶體 68馬上可以被取用。圖十二示意例所顯示的，此時很可能前一封包資料還有一大部份仍暫存於緩衝記憶體 72中，未傳輸至網路 52上。相較之下，前述習知技術則是要等前一封包資料皆傳輸至網路之後，才會經由媒體存取電路之傳輸完成訊號觸發記憶存取電路，以開始將次一封包資料暫存入暫存記憶體中。

如圖十三所示，此處即假設次一封包資料有 D6、D7、D8、D9及 D10等部份資料，而這些資料即使在前一封包資料（如資料 D1至 D5）尚未被傳輸至網路 52時，也可以由記憶存取電路 66先行取得，暫存至暫存記憶體 68。如圖十三的圖示示意例所示，在屬於前一封包的資料 D1至 D5中，仍有資料 D3至 D5尚未傳輸至網路 52；但屬於次一封包的資料 D6至 D10已經可以被讀入至暫存記憶體 68中。既然暫存記憶體 68已將前一封包的資料 D1至 D5完全傳輸至媒體控制模組 70，暫存記憶體 68中原本用來暫存資料 D1至 D5的記憶單元就可以被釋放，而用來暫存次一封包的封包資料。舉例來說，像在圖十三中，資料 D9、D10就在環式 (ring) 記憶單元運用的情形下，被暫存至原來分別暫存資料 D1、D2的兩記憶單元 78。此時流程 200相

## 五、發明說明 (15)

當於已經回到步驟步驟 204，準備進行對次一封包的傳輸。由於次一封包的資料（如資料 D6至 D10）可以在前一封包的資料（資料 D1至 D5）未完全傳輸至網路前即已先被暫存於緩衝記憶體 72中，一旦等前一封包的資料完全被傳輸至網路 52後，媒體存取電路 74就可以馬上跟著本傳輸設計開始傳輸資料路 74的原封的有明之效可由時差能進步明的資料部份被傳輸至網路 52，便自暫存記憶體 68輸入新的資料來取代已被傳輸的資料。

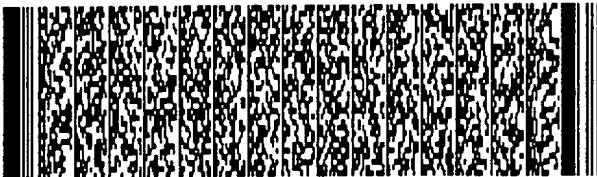
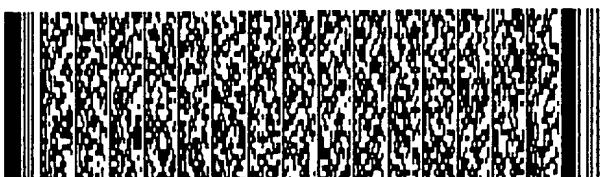
總結來說，在習知技術中，要等到媒體存取會在於體體前相當法發明的有明之效可由時差能進步明的資料部份被傳輸至網路 52，便自暫存記憶體 68輸入新的資料來取代已被傳輸的資料。



## 五、發明說明 (16)

提號訊求記於電於，衝來輸技資  
經過緩衝記憶體後，暫存記憶體即以開始使用，即使存暫網至輸樣始習網。  
示憶前路暫次記在間之傳輸記憶來封輸記體發時暢的順輸  
經記體一傳存一憶本的順輸

以斷以。效或重存路電次斷作器的運問題，效能儲本傳輸經過)媒體控制模組，便發出中斷要求，藉以將部份之部份資料輸入至暫存記憶體中，以便取代已被傳輸之部份資料。當要避在接收時太然的將時在暫存記憶體中之封包資料有部份被傳輸(或傳輸經過)媒體控制模組，便發出中斷要求，藉以將部份之部份資料輸入至暫存記憶體中，以便取代已被傳輸之部份資料。

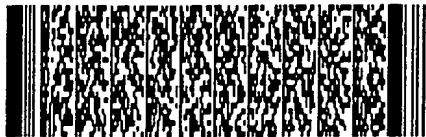


## 五、發明說明 (17)



五、發明說明 (18)

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一為一典型電腦配備一習知網路介面電路之功能方塊示意圖。

圖二為圖一中網路介面電路進行網路資料傳輸時的流程圖。

圖三至圖七為圖一中電腦進行圖二中流程時於不同階段資料存取之示意圖。

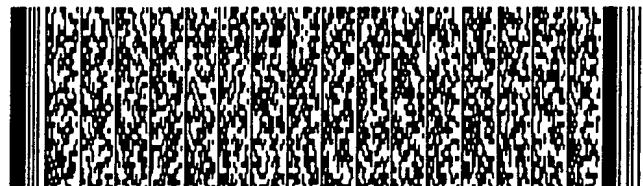
圖八為本發明網路介面電路配備於一電腦中之功能方塊示意圖。

圖九為圖八中網路介面電路進行網路資料傳輸時的流程示意圖。

圖十至圖十三為圖八中電腦進行圖九中流程時於不同階段資料存取之示意圖。

### 圖式之符號說明

10、50	電腦	12、52	網路
14、54	中央處理器	16A、56A	北橋電路
16B、56B	南橋電路	18A、58A	顯示器
18B、58B	顯示卡	20、60	網路介面電路
22、62	系統記憶體	24、64	網週邊裝置
26、66	記憶存取電路	28、68	暫存記憶體
30、70	媒體控制模組	32、72	緩衝記憶體



圖式簡單說明

34、74 媒體存取電路 36、76 傳輸電路

38、40、78、80 記憶單元

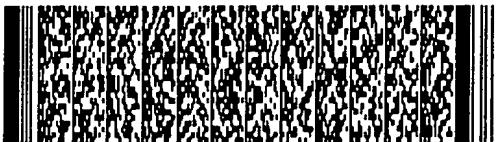
42、82 傳輸完成訊號

44、84 中斷要求訊號 46、86 中斷訊號

88 檢查電路

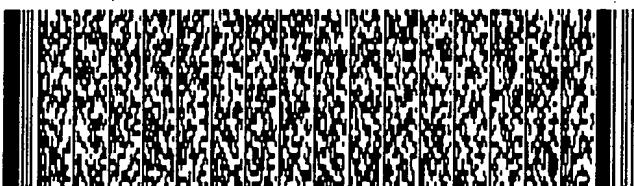
Dp1-Dp10、D1-D10 資料

200 流程 202-208 步驟



## 六、申請專利範圍

1. 一種加速暫存記憶體資料傳輸之方法，用來增加網路資料傳輸至一網路的效率；該網路介面電路包含有一暫存記憶體，用來暫存要傳輸至該網路之至少一資料；該方法包含有：將對應到一封包之一封包資料暫存至該暫存記憶體；將該封包資料傳輸至該網路介面電路的其它部份，以對該封包資料進行進一步處理；以及將對應到未曾暫存於該暫存記憶體之另一封包的另一封包資料暫存至該暫存記憶體。
2. 如申請專利範圍第1項之方法，係在該封包資料已完整地被傳輸至該網路介面電路的其它部份所進一步處理過後，才開始將未曾暫存於該暫存記憶體的另一封包資料暫存至該暫存記憶體。
3. 如申請專利範圍第1項之方法，係在部份該封包資料已被該網路介面電路的其它部份所進一步處理時，便將未曾暫存於該暫存記憶體之另一封包資料的至少一部份暫存至該暫存記憶體以取代該部份封胞資料。
4. 如申請專利範圍第1項之方法，其中該暫存記憶體之運作模式係為先進先出。



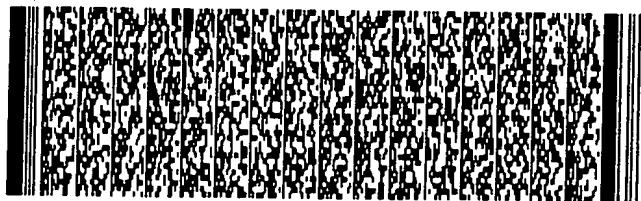
## 六、申請專利範圍

5. 如申請專利範圍第1項之方法，若該封包資料中可分為一第一部份資料及一第二部份資料，則尚可以在該第一部份資料已被傳輸至該網路而該第二部份資料尚未傳輸至該網路時，開始將未曾暫存於該暫存記憶體過之另一封包資料的至少一部份暫存至該暫存記憶體。
6. 如申請專利範圍第5項之方法，其中當要將未曾暫存於該暫存記憶體之另一封包資料的至少一部份暫存於該暫存記憶體時，係以另一封包資料來覆寫該第一部份資料。
7. 如申請專利範圍第5項之方法，係將未曾暫存於該暫存記憶體過之另一封包資料逐步依序儲存於該暫存記憶體中原本儲存該第一部份資料的部份。
8. 如申請專利範圍第1項之方法，若該網路介面電路係使用電性耦接至該暫存記憶體與該網路之一媒體控制模組來進一步處理這些資料封包資料之該封包資料已經全部被該媒體控制模組所處理，便可以開始以未曾暫存於該暫存記憶體過之另一封包資料取代該暫存記憶體原本所儲存之該封包資料。
9. 如申請專利範圍第8項之方法，尚可以在已被該媒體

## 六、申請專利範圍

控制模組所處理之該封包資料已經部份被傳輸至該網路，才開始以未曾暫存於該暫存記憶體過之另一封包資料取代該暫存記憶體中原本儲存之該封包資料已被傳輸至該網路之部份。

10. 如申請專利範圍第8項之方法，當該媒體控制模組具有一緩衝記憶體時，係將來自該暫存記憶體之資料先儲存於該緩衝記憶體。
11. 如申請專利範圍第10項之方法，其中該緩衝記憶體之運作模式係為先進先出。
12. 如申請專利範圍第10項之方法，只要原本位於該暫存記憶體中之該封包資料已經全部被轉移至該緩衝記憶體，便可以開始以未曾暫存於該暫存記憶體原本所儲存之該封包資料是否已被傳輸至該緩衝記憶體之該封包資料取代該暫存記憶體。
13. 一種網路介面電路，用來控制對一網路的資料存取；該網路介面電路包含有：
  - 一媒體控制模組，用來將一封包傳輸至該網路；
  - 一暫存記憶體，用來暫存對應到該封包之一封包資料；而該暫存記憶體中設有一檢查電路；當該暫存記憶



## 六、申請專利範圍

體將該封包資料傳輸至該媒體控制模組後，該檢查電路便會使該暫存記憶體產生一中斷要求訊號；以及

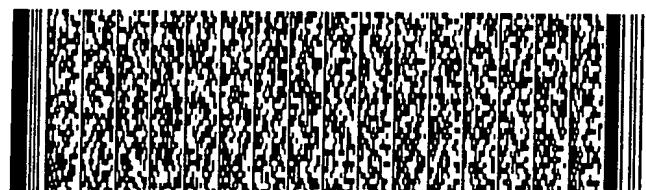
一記憶存取電路，可在接收到該中斷要求訊號後，將對應到另一封包的另一封包資料暫存至該暫存記憶體。

14. 如申請專利範圍第13項之網路介面電路，該檢查電路係在該封包資料已完整地被該網路介面電路之其它部份所處理過後，才發出該中斷要求訊號。

15. 如申請專利範圍第13項之網路介面電路，該檢查電路係在部份該封包已被該網路介面電路之其它部份所處理時，便發出該中斷請求訊號以輸入部份之該另一封包資料。

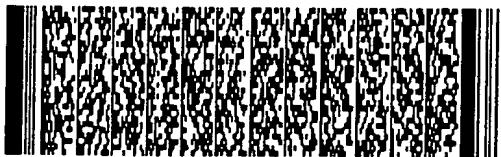
16. 如申請專利範圍第13項之網路介面電路，其中該媒體控制模組另模組包含有一緩衝記憶體；該緩衝記憶體可將來自該暫存記憶體之該封包資料尚未被傳輸至該網路全傳輸至該網路前，暫存該封包資料。

17. 如申請專利範圍第13項之網路介面電路，其中該暫存記憶體之運作模式係為先進先出。

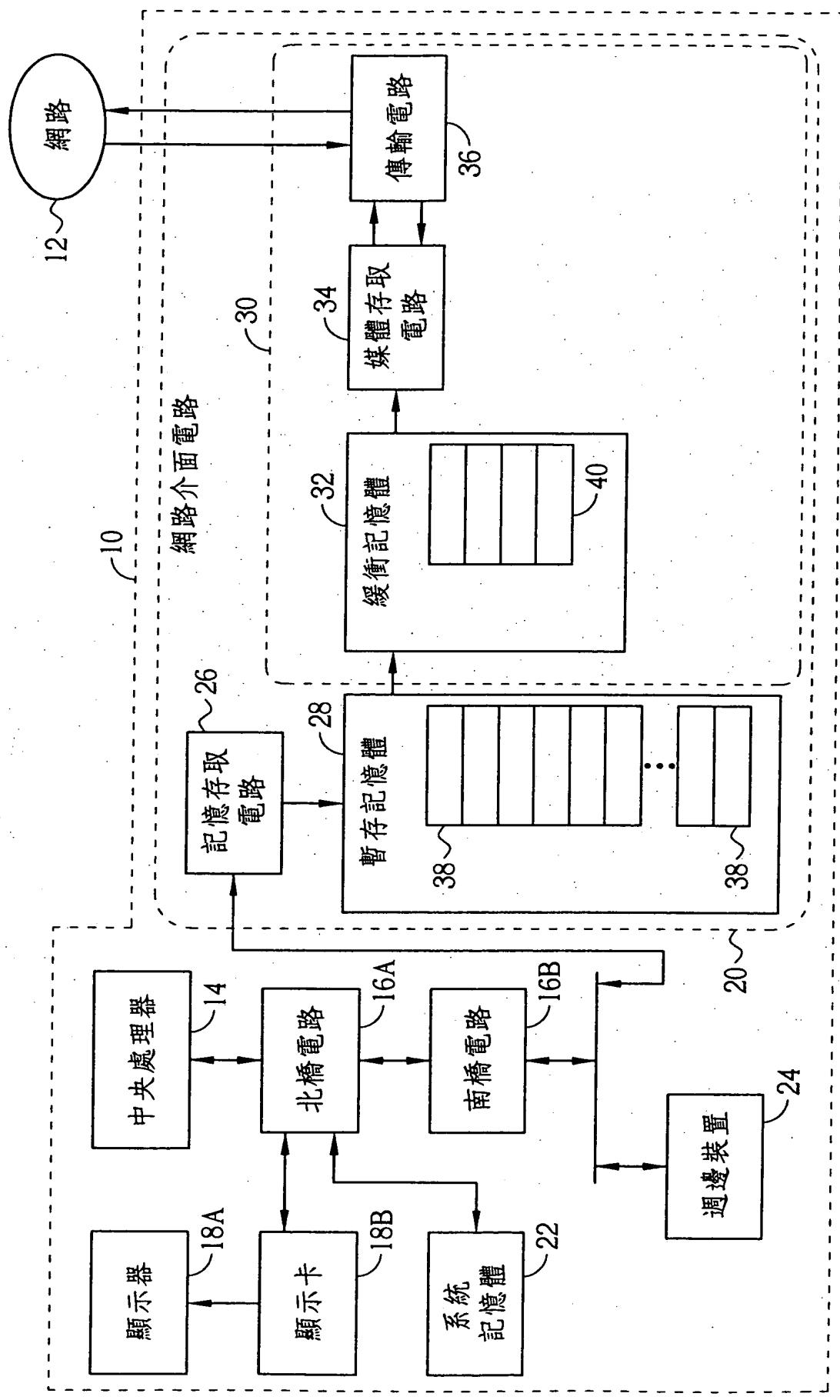


六、申請專利範圍

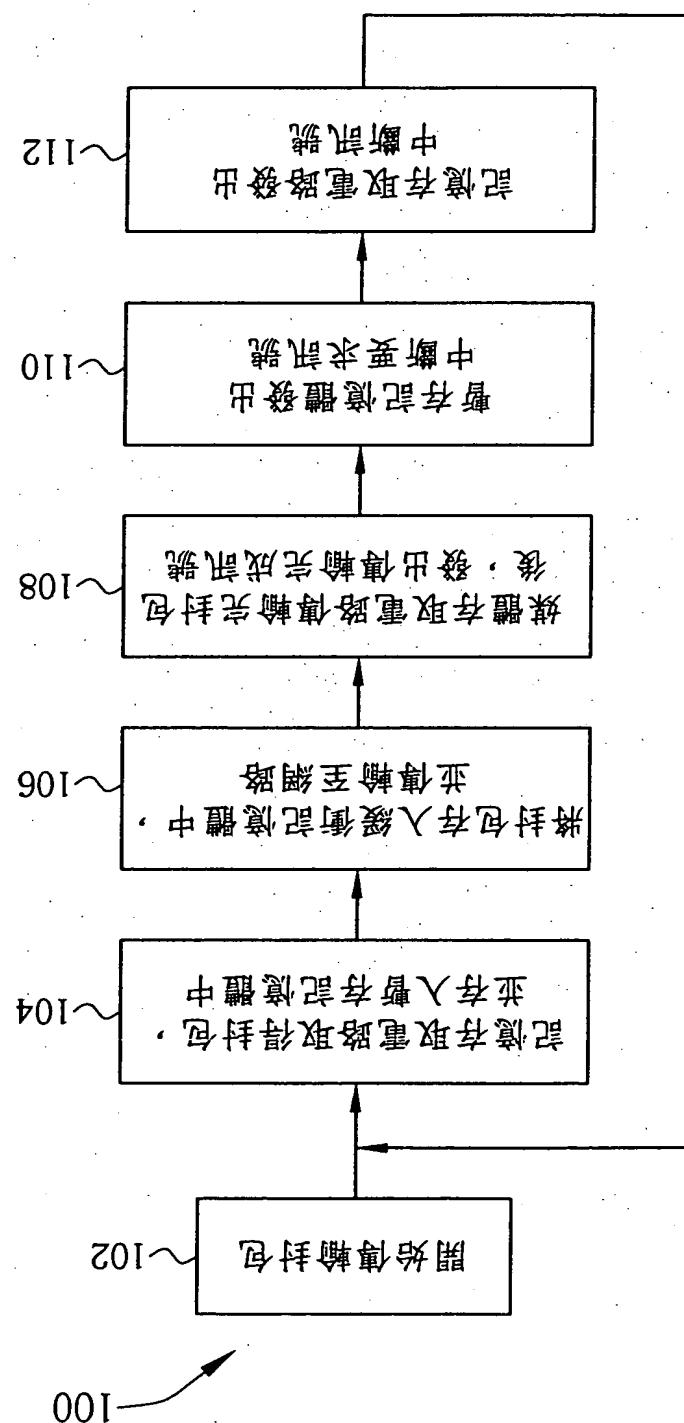
18. 如申請專利範圍第16項之網路介面電路，其中該緩衝記憶體之運作模式係為先進先出。
19. 如申請專利範圍第13項之網路介面電路，該網路介面電路係為一適用於雙多工(full duplex)的網路介面電路。
20. 如申請專利範圍第13項之網路介面電路，該暫存記憶體係以環式單元的方式在循環運用其所有記憶空間。

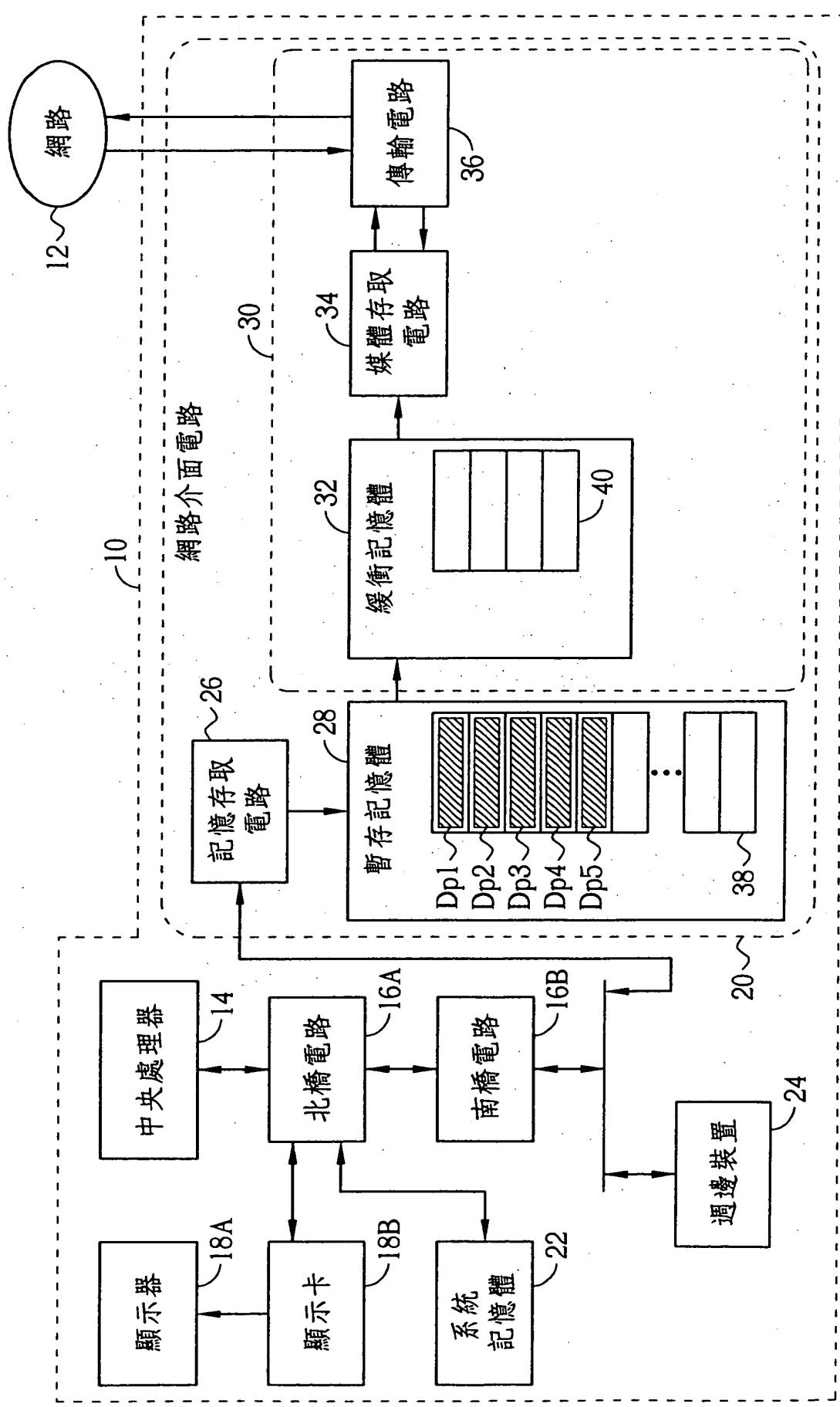


圖一



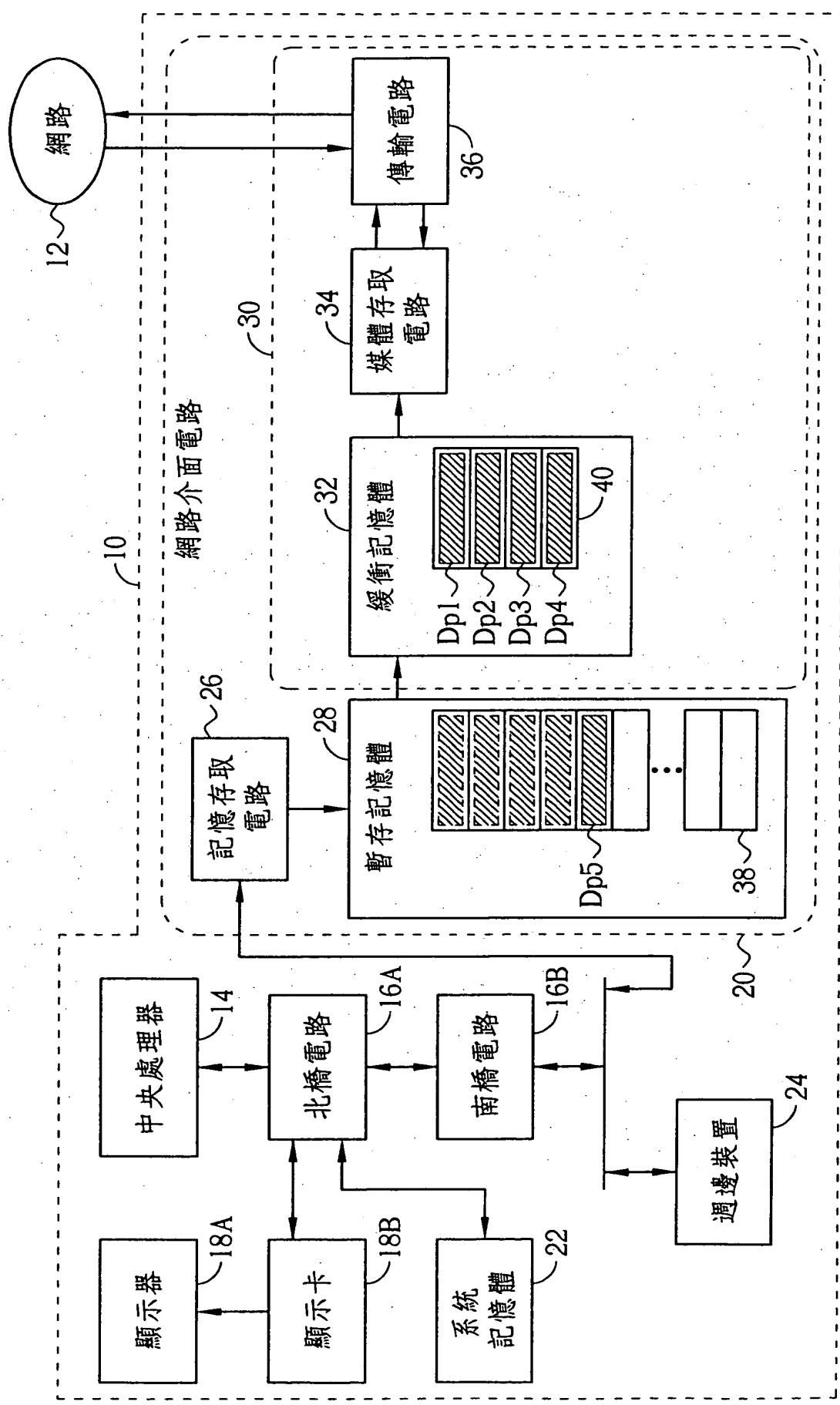
二 圖



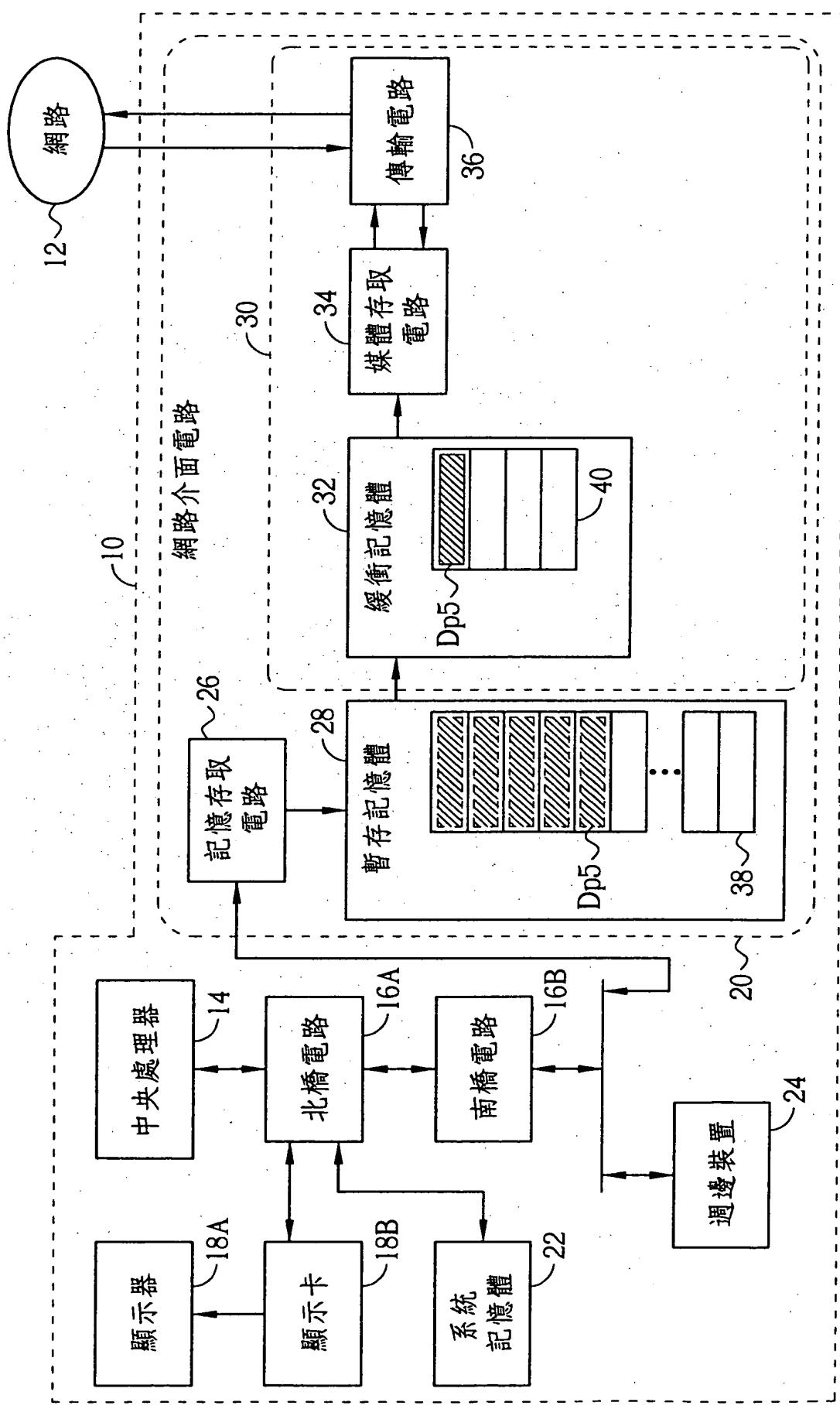


三

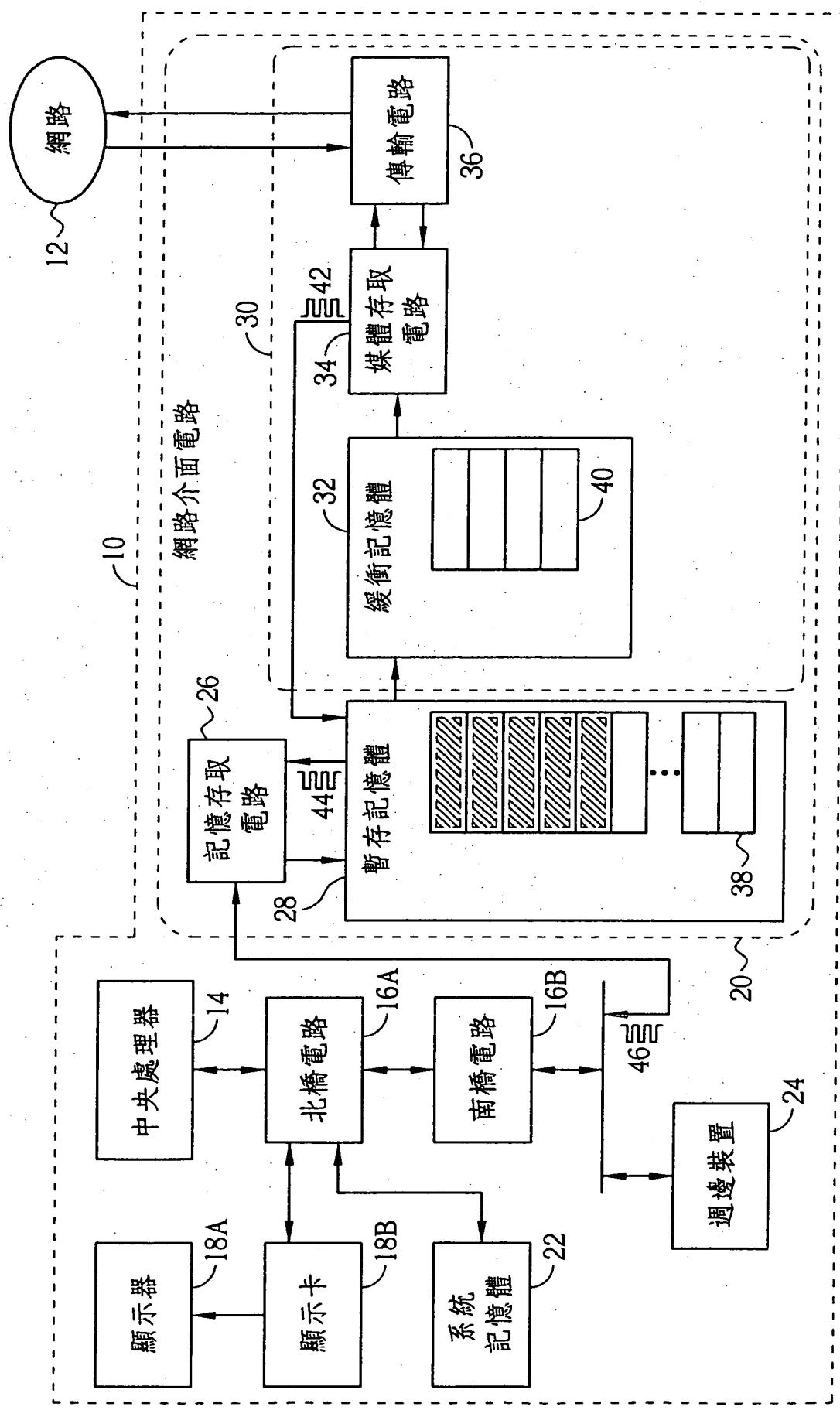
圖四



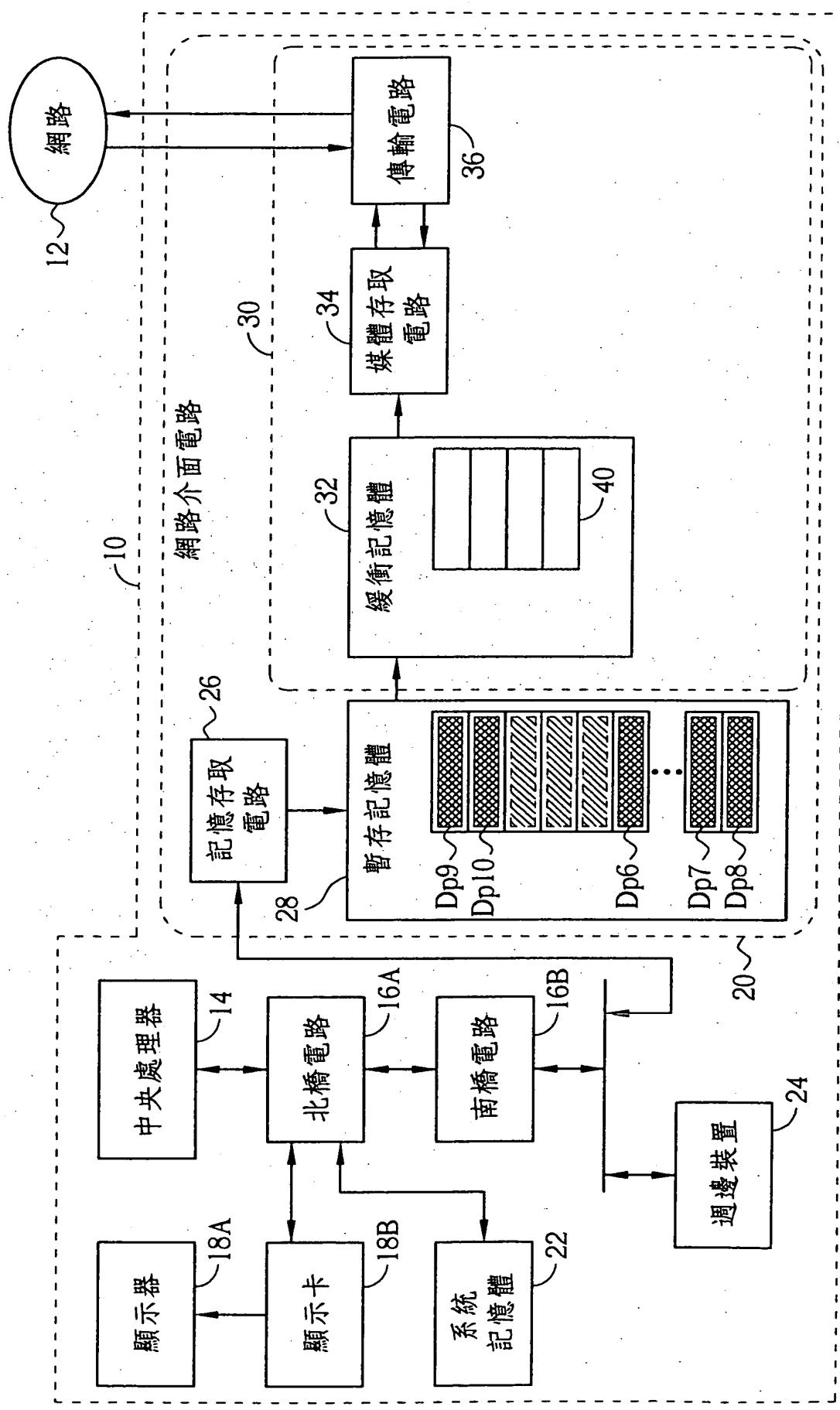
圖五



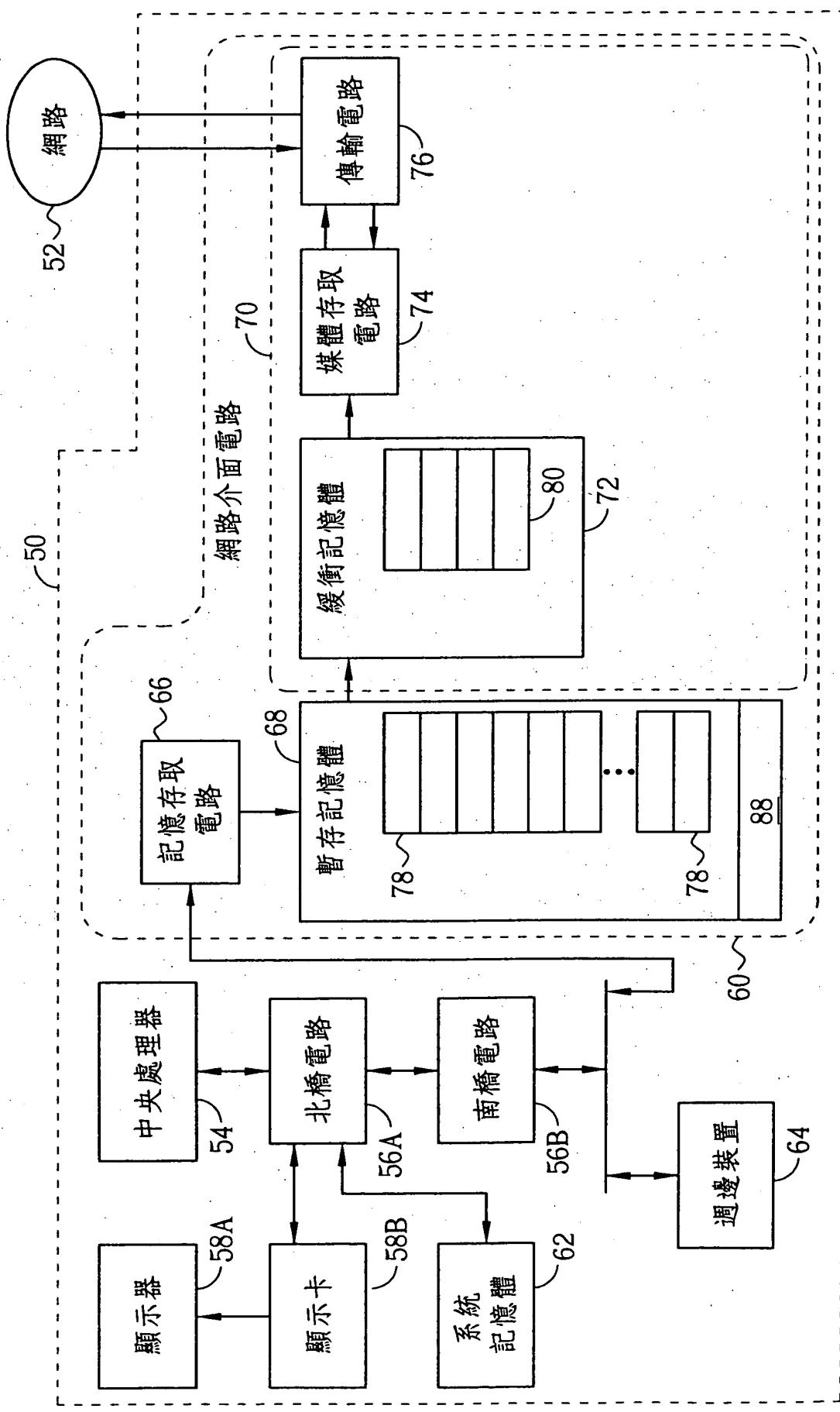
圖六



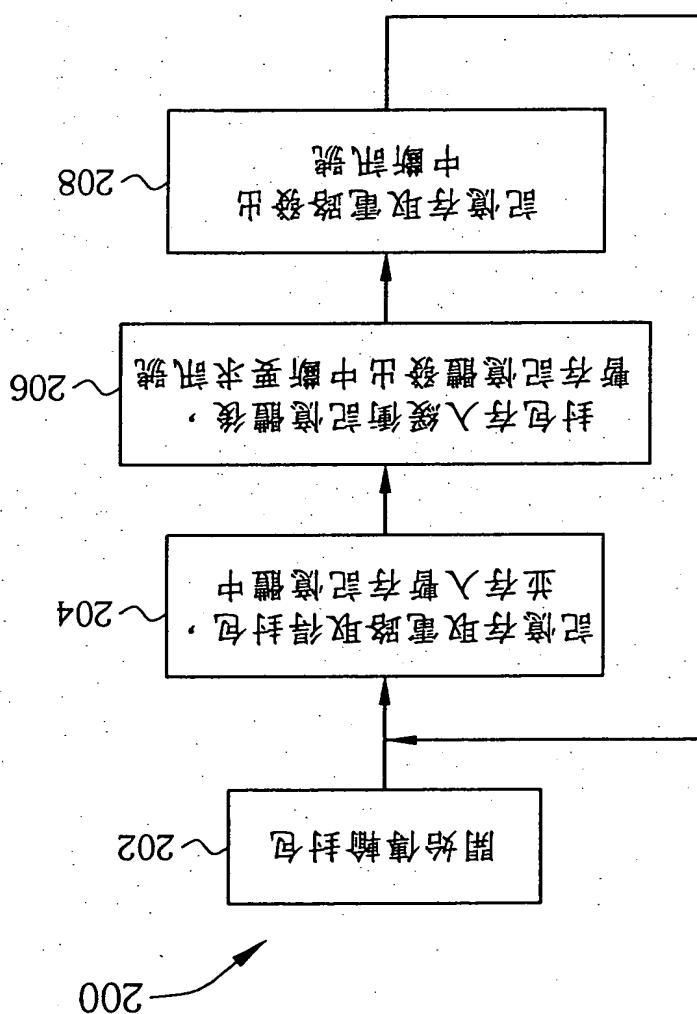
圖七



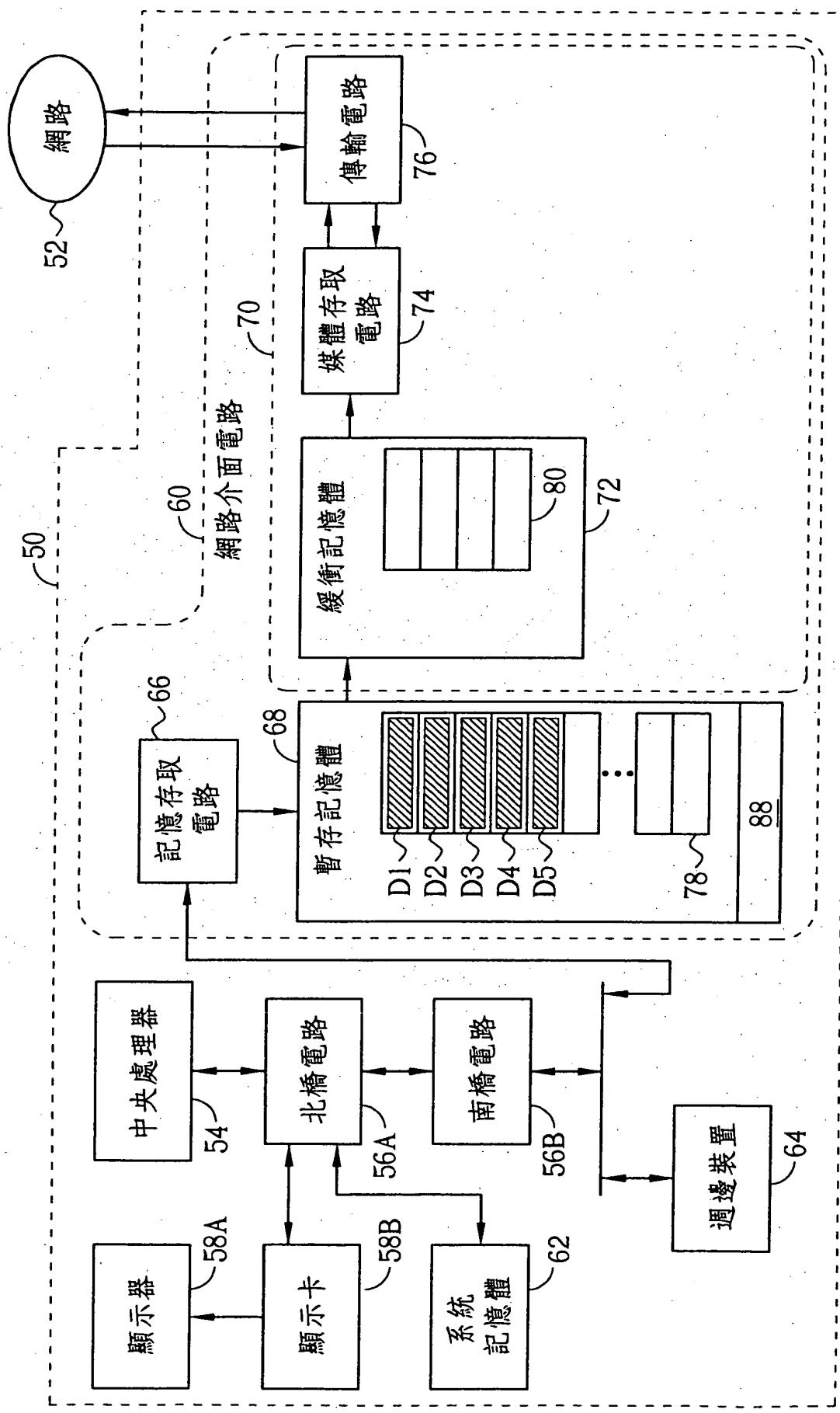
圖八



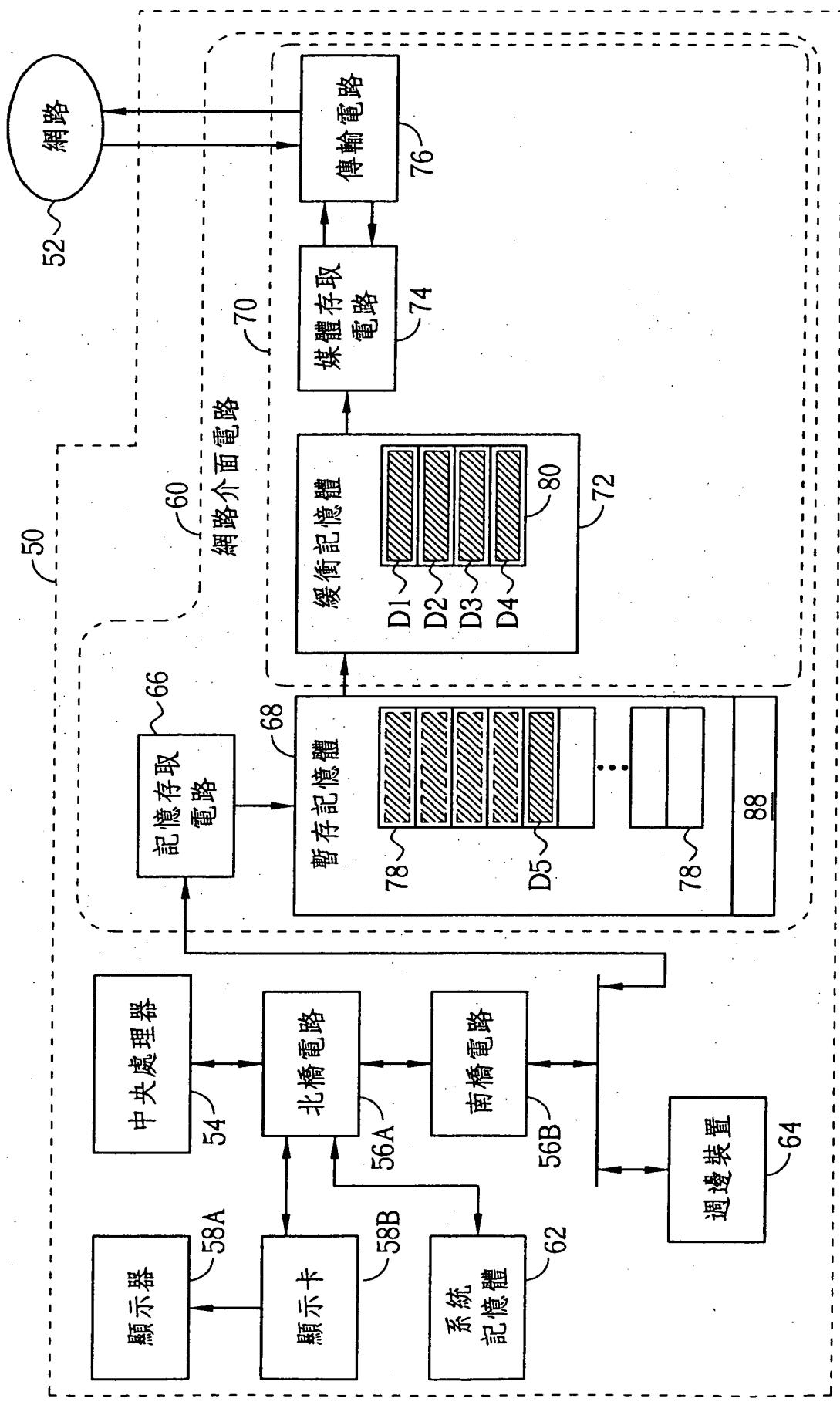
九圖



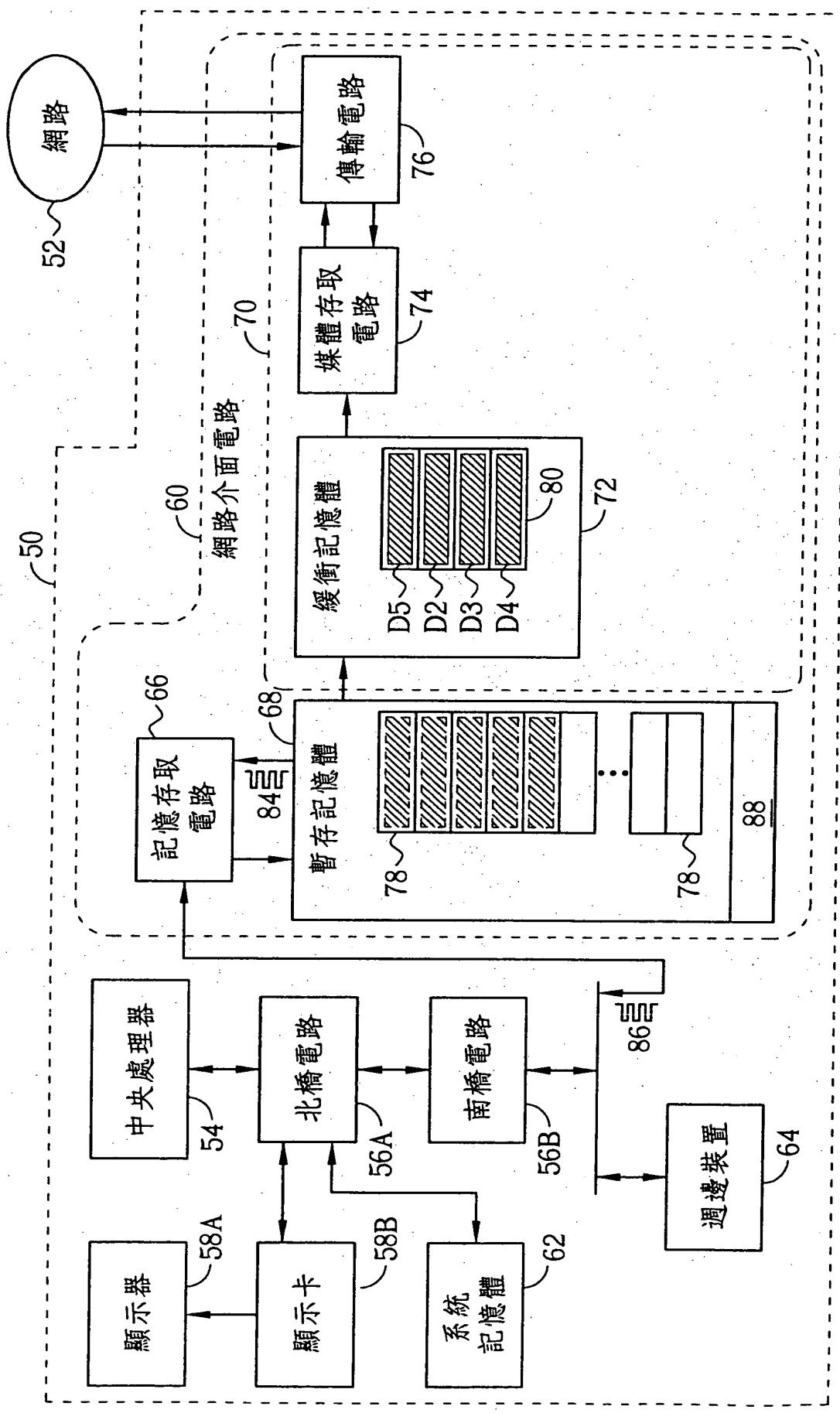
圖十



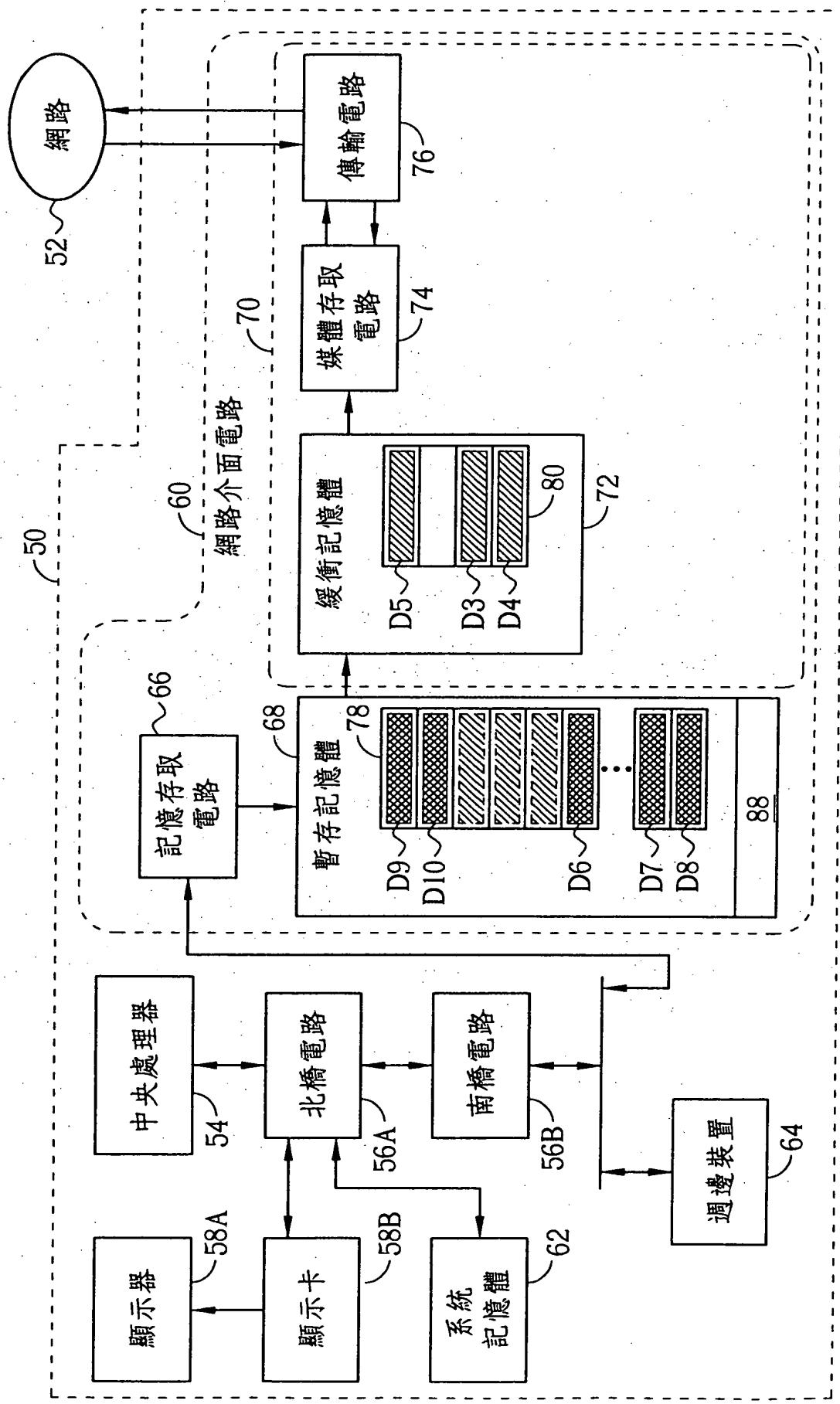
圖十一



圖十二

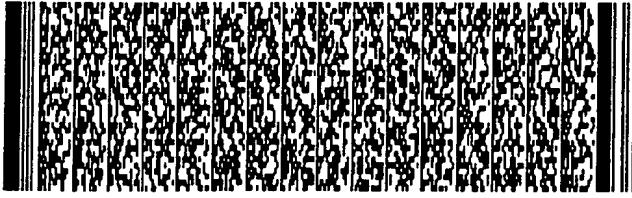


圖十三



申請案件名稱:加速暫存記憶體資料更新以增加網路資料傳輸效率之方法  
及相關電路

第 1/30 頁



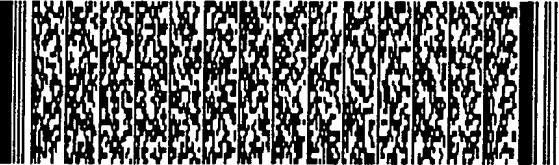
第 3/30 頁



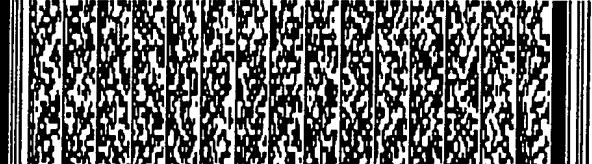
第 4/30 頁



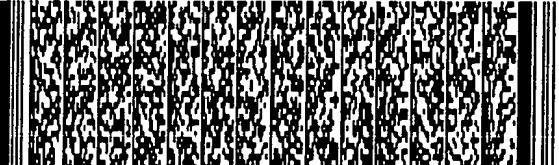
第 6/30 頁



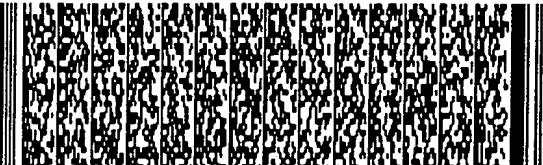
第 7/30 頁



8/30 頁



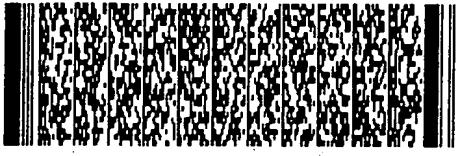
第 9/30 頁



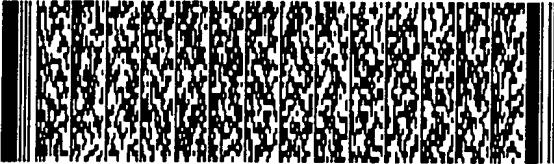
第 10/30 頁



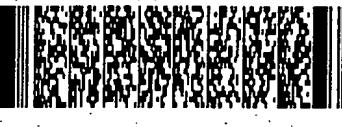
第 2/30 頁



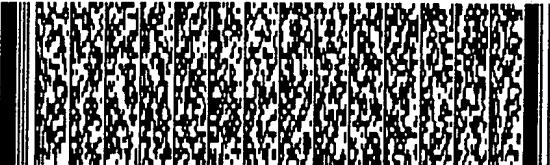
第 3/30 頁



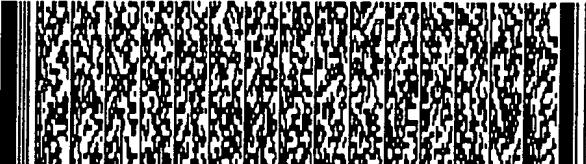
第 5/30 頁



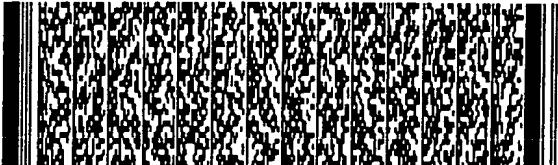
第 6/30 頁



第 7/30 頁



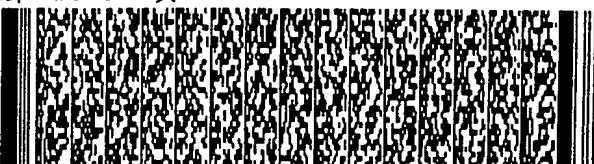
第 8/30 頁



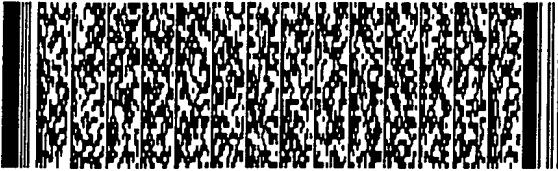
第 9/30 頁



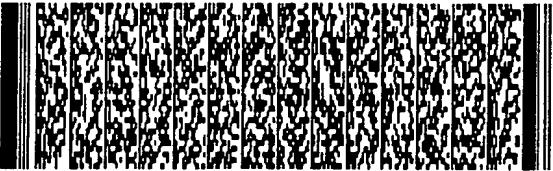
第 10/30 頁



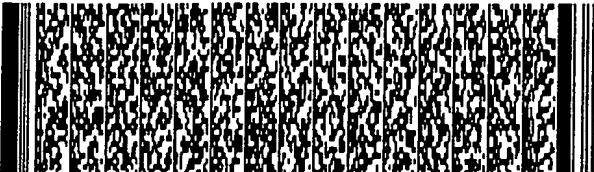
第 11/30 頁



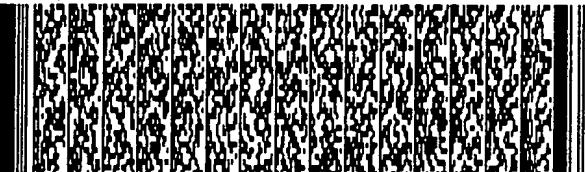
第 11/30 頁



第 12/30 頁



第 12/30 頁



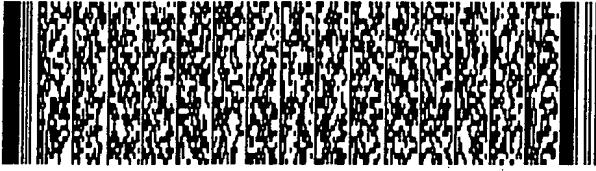
第 13/30 頁



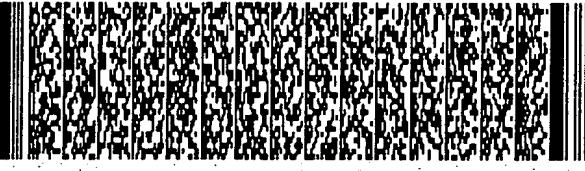
第 13/30 頁



第 14/30 頁



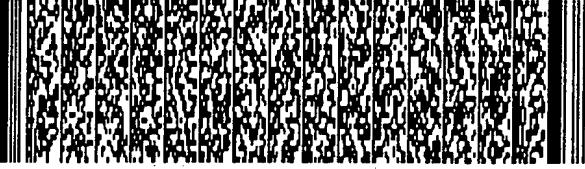
第 14/30 頁



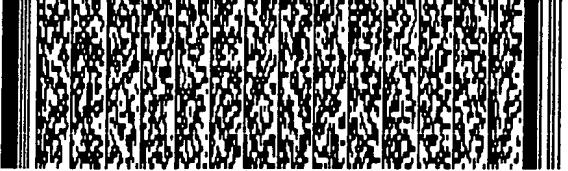
第 15/30 頁



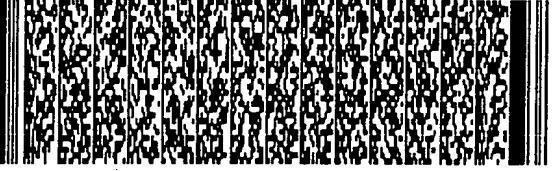
第 15/30 頁



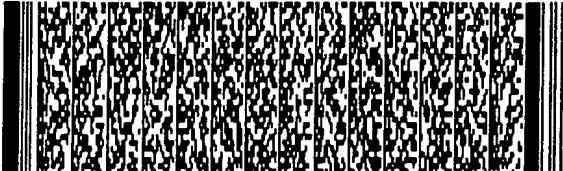
16/30 頁



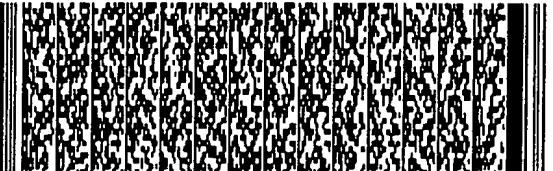
第 16/30 頁



第 17/30 頁



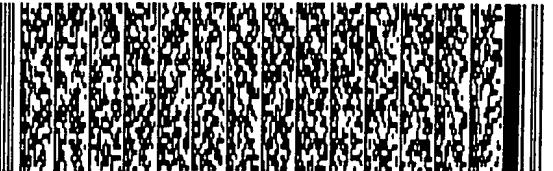
第 17/30 頁



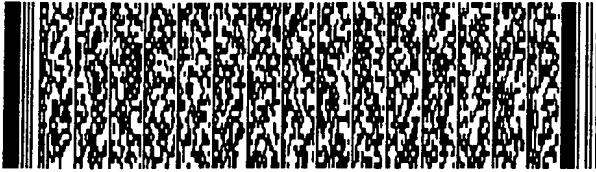
第 18/30 頁



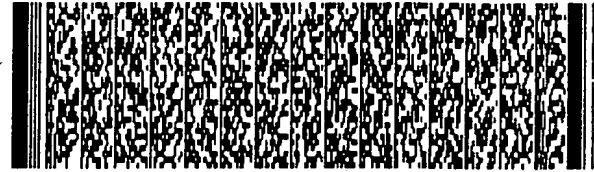
第 18/30 頁



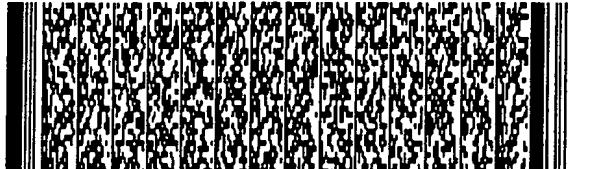
第 19/30 頁



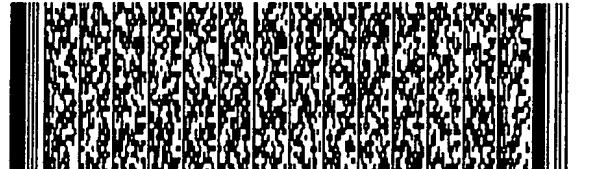
第 19/30 頁



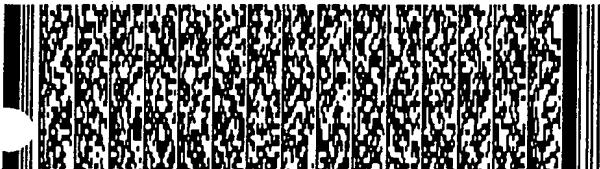
第 20/30 頁



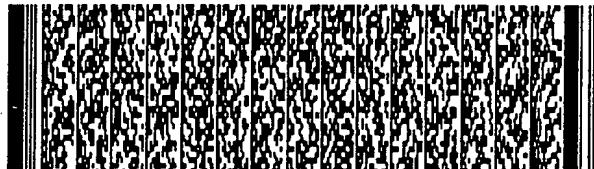
第 20/30 頁



第 21/30 頁



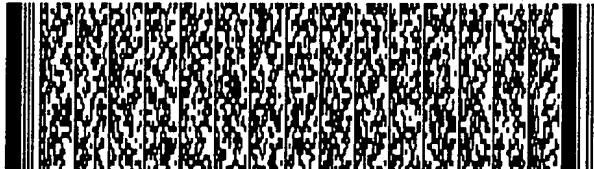
第 21/30 頁



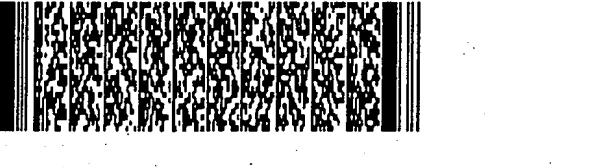
第 22/30 頁



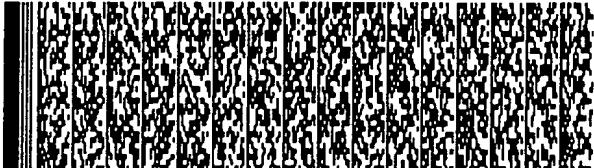
第 22/30 頁



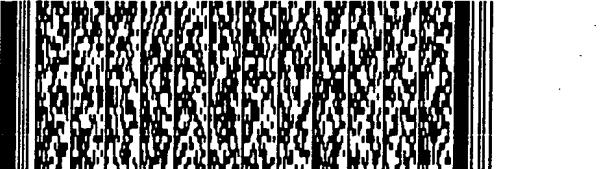
第 23/30 頁



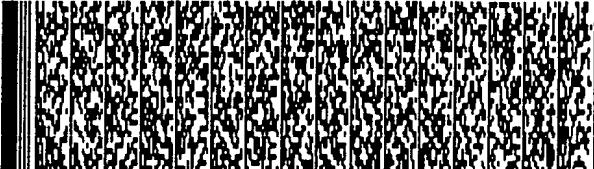
第 24/30 頁



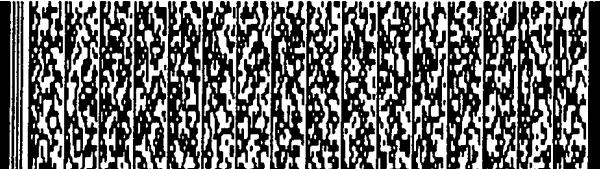
25/30 頁



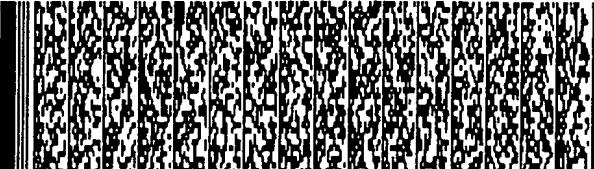
第 26/30 頁



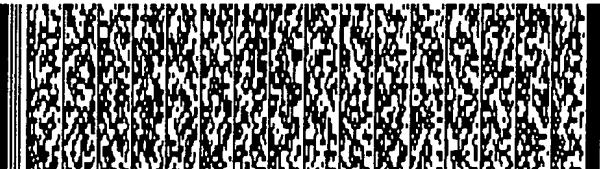
第 27/30 頁



第 28/30 頁



第 29/30 頁



第 30/30 頁

